

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-161191

(43)Date of publication of application : 21.06.1996

(51)Int.Cl.

G06F 11/22

G06F 11/28

G06F 11/28

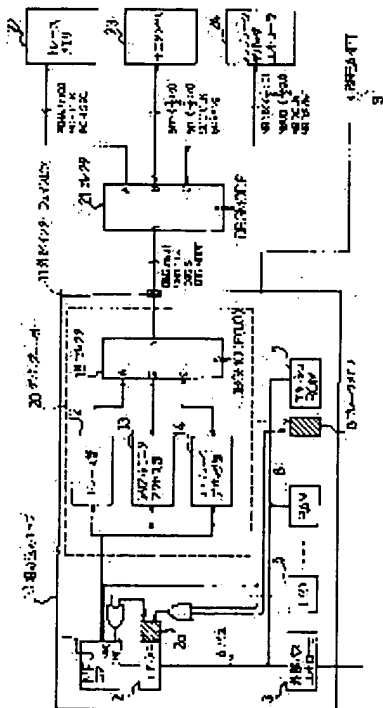
(21)Application number : 06-303705

(71)Applicant : YOKOGAWA DIGITAL  
COMPUTER KK

(22)Date of filing : 07.12.1994

(72)Inventor : YAMADA TOSHIYUKI  
SATO TAKESHI

## (54) IN-CIRCUIT EMULATOR



(57)Abstract:

**PURPOSE:** To execute sufficiently enough debugging even when a high speed MPU is a target by providing a built-in chip in a target device with a specific debugging unit.

**CONSTITUTION:** The built-in chip 10 in the target device is provided with the debugging unit 20 having a state analyzing trace function, a non-brake debugging function for executing real-time on-chip debugging resource in all states without stopping the running of a target MPU and an on-chip monitor memory access interface function. Since the unit 20 for executing a part of the functions of an ICE is included in the chip 10 including the MPU in the target device, the necessity of a buffer or the like used for data transfer between a conventional target device and the ICE is eliminated, and thereby the speed of data to be processed can be increased.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other

than the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-161191

(43) 公開日 平成8年(1996)6月21日

(51) Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	P I	技術表示箇所
G 0 6 F 11/22	3 4 0 A			
11/28	L	7313-5B		
	3 1 0 A	7313-5B		

審査請求 未請求 請求項の数 2 O L (全 14 頁)

(21) 出願番号 特願平6-303705

(22) 出願日 平成6年(1994)12月7日

(71) 出願人 591076110

横河ディジタルコンピュータ株式会社  
東京都千代田区三番町8番地7

(72) 発明者 山田 綾行

東京都千代田区三番町8番地7 横河ディ  
ジタルコンピュータ株式会社内

(72) 発明者 佐藤 剛

東京都千代田区三番町8番地7 横河ディ  
ジタルコンピュータ株式会社内

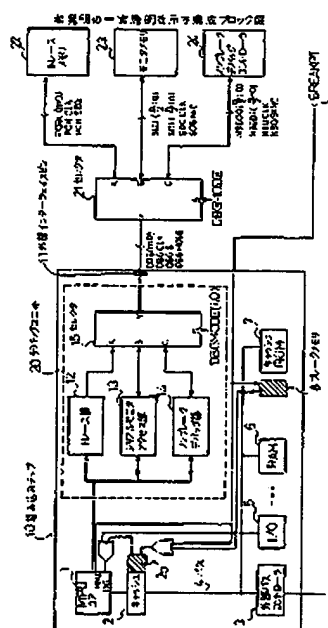
(74) 代理人 弁理士 渡辺 正康 (外1名)

(54) 【発明の名称】 インサーキットエミュレータ

(57) 【要約】

【目的】 本発明はインサーキットエミュレータに関し、高速のMPUがターゲットである場合でも十分なデバッグを行なうことができるインサーキットエミュレータを提供することを目的としている。

【構成】 ターゲット装置内にある組み込みチップ内に、ステート解析用のトレース機能、リアルタイムなオンチップデバッグリソースをターゲットMPUの走行を止めることなく全スタートで行なうノンブレイクデバッグ機能及びオフチップのモニタメモリアクセスインタフェース機能を持つデバッグユニットを設けて構成する。



(2)

特開平8-161191

1

2

## 【特許請求の範囲】

【請求項1】 ターゲット装置のデバッグを行なうインサートエミュレータであって、ターゲット装置内にある組み込みチップ内に、ステート解析用のトレース機能、リアルタイムなオンチップデバッグリソースをターゲットMPUの走行を止めることなく全スタートで行なうノンブレイクデバッグ機能及びオフチップのモニタメモリアクセスインタフェース機能を持つデバッグユニットを設けたことを特徴とするインサートエミュレータ。

【請求項2】 前記デバッグユニットにチップ外部と接続するための外部インターフェイスピンを具備し、該外部インターフェイスピンはMPU及びそのアプリケーションの用途によりピン数の変更を可能にすることを特徴とする請求項1記載のインサートエミュレータ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はインサートエミュレータに関し、更に詳しくは高速のデバッグを可能にしたインサートエミュレータに関する。

【0002】

【従来の技術】 ターゲット（被試験装置）内のMPUにアクセスしてターゲットMPUのデバッグを行なう装置にインサートエミュレータ（以下ICEと略す）がある。一般的なICEの機能としては、以下のものがある。

【0003】 ① ターゲットメモリのエミュレーション機能

ターゲットにICEを接続し、ターゲット内のメモリの一部を変更する場合、ターゲット内のメモリをICE内のメモリで代行させる。通常、ターゲットのメモリはROMでできているので、プログラムの一部の変更等は困難である。そこで、ターゲット内のメモリをICE内のメモリで代行させれば、ICE内のメモリとしてはRAMを用いることができるので、プログラムの変更等が自由になる。また、所定のメモリがターゲット内に存在しない時にも、ICE内のメモリにプログラムを組み込んでターゲットのエミュレーションができる。

【0004】 ② ヒストリトレース機能

従来のロジックアナライザの機能と同様のものであり、トリガ時点から前方及び後方の複数段階のバス上のデータを記録する機能である。装置に障害が発生した時の、前後のバス上のデータを解析することにより、障害の原因を診断することができる。

【0005】 ③ ターゲット実行ブレイク機能

ターゲットのMPUの動作を停止（ブレイク）し、その停止時点のMPU内の各種レジスタ等の内容を読み出す機能である。ターゲットの障害の原因を診断することができる。

【0006】

【発明が解決しようとする課題】 上記3つの機能は、いずれもMPUの出力する信号を基にICE側で判断し、各機能を実現している。しかしながら、バスサイクルが30MHz以上になると、ICE側で各機能を行なう条件判断が困難になる。

【0007】 具体的に述べると、ブレイクするアドレスか否かを判断するのに要する時間は、アドレス有効時点から30～40nsである。従って、MPUのセットアップ、ホールド時間を考慮すると、バスサイクル30MHzを越えるとブレイク命令をICE側から供給することが不可能になってしまう。また、MPUがシングルチップの場合には、ICE支援のために別途評価用チップを製作する必要があり、コスト、開発日程等、チップメーカ、ユーザいずれにとっても負担になっている。

【0008】 本発明はこのような課題に鑑みてなされたものであって、高速のMPUがターゲットである場合でも十分なデバッグを行なうことができるインサートエミュレータを提供することを目的としている。

【0009】

【課題を解決するための手段】 前記した課題を解決する本発明は、ターゲット装置のデバッグを行なうインサートエミュレータであって、ターゲット装置内にある組み込みチップ内に、ステート解析用のトレース機能、リアルタイムなオンチップデバッグリソースをターゲットMPUの走行を止めることなく全スタートで行なうノンブレイクデバッグ機能及びオフチップのモニタメモリアクセスインタフェース機能を持つデバッグユニットを設けたことを特徴としている。

【0010】 この場合において、前記デバッグユニットにチップ外部と接続するための外部インターフェイスピンを具備し、該外部インターフェイスピンはMPU及びそのアプリケーションの用途によりピン数の変更を可能にすることが、MPU及びそのアプリケーションの用途に柔軟に対応する上で好ましい。

【0011】

【作用】 ターゲット装置内のMPUを含む組み込みチップ（エンベデッドチップ）内に、ICEの機能の一部を実行するデバッグユニットを設けた。これにより、従来ターゲット装置とICE間でデータのやりとりを行なう際に用いていたバッファ等が不要となり、その分取り換えるデータ速度を速くすることができる。例えば、従来バスサイクル30MHz程度までしか扱えなかったものが、100MHz程度まで扱えるようになる。

【0012】 この場合において、前記デバッグユニットにチップ外部と接続するための外部インターフェイスピンを具備し、該外部インターフェイスピンはMPU及びそのアプリケーションの用途によりピン数の変更を可能にすることにより、MPU及びそのアプリケーションの用途により柔軟に対応することができ都合がよい。

【0013】

(3)

特開平8-161191

3

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1は本発明の一実施例を示す構成ブロック図である。図において、10はターゲット装置内に取り付けられる組み込みチップ（エンベデッドチップともいう）、20は該組み込みチップ内に設けられたデバッグ機能を持つデバッグユニット（IDBユニットともいう）である。このデバッグユニット20は、組み込みチップ10内にチップの形で取り付けられるものの一部分である。

【0014】組み込みチップ10において、1はMPUコアである。該MPUコア1において、NMI端子はICE機能の強制ブレーク（MPUコアを停止させること）及び実行後ブレークに使用するものである。この端子がアサート（活性化）されると、次のバスサイクルから例外処理に移るようになっている。INT端子は、割り込み入力端子で、実行前ブレークとして使用するものである。この端子がアサートされた命令がMPUコアのパイプラインの実行キューに入った時、この命令を実行せずに例外処理に移行するようになっている。INT端子アサート時の命令をSWI（ソフトウェアインタラプト）にすりかえたものと仮定する。

【0015】2はMPUコア1と接続されるキャッシュメモリ、2aはキャッシュメモリ2に付属するブレークメモリである。該ブレークメモリ2aは、MPUコア1がキャッシュメモリ2からフェッチするアドレスの命令と一緒にMPUコアのINT端子に取り込まれるようになっている。

【0016】3はキャッシュメモリ2と接続される外部バスコントローラ、5はバス4と接続される入出力装置（I/O）、6はバス4と接続されるRAM、7はバス4と接続されるフラッシュROM（リード/ライト可能なROM）である。該フラッシュROM7は、ターゲット装置内に内蔵されるマスクROMをサポートするためのROMである。このフラッシュROMは、ブレーク中のモニタメモリ（後述）のプログラムによりアクセスができるようになっている。

【0017】8はブレークメモリで、1ビット×nのサイズを持っている。ここで、nは次式で与えられる。

$n = \text{ROMのビット数} \div \text{最小命令ビット長}$

例えば、256ビットのROMで、MPUコアの最小命令が8ビット長の時、 $n = 256 \div 8 = 32$ となる。従って、この時のブレークメモリ8の容量は32ビットになる。

【0018】また、ブレークメモリ8はフラッシュROM7と同じメモリマップ上に配置され、フラッシュROM7のデータのリードと同期してMPUコア1のINT端子もしくはキャッシュメモリ2のブレークメモリ2aにロードされるようになっている。ブレークメモリ8の設定（0から1にすること）は、ブレーク中に、モニタメモリプログラムによりブレーク設定アドレスアクセス

4

と同時にブレークポイント端子9をアサートすることにより設定するようになっている。

【0019】次に、デバッグユニット20の構成について説明する。該デバッグユニット20はMPUコア1のアドレスバス、データバス及びステータス信号と接続され、チップ外部とのインターフェイスピン11を持っている。この外部インターフェイスピン11は、ICEが占有するようになっている。このピンの本数については、MPUコア1やアプリケーション用途により最適な本数を設定することができるようになっている。なお、nは1, 3, 5, 7, 15, 31, 63のケースが考えられる。このように、外部インターフェイスピンを介してICEと接続する構成をとることにより、MPUコア1やアプリケーション用途により最適な本数を設定することができ、都合がよい。ここではDBG（n:0）のn=15のケースで説明する（（n:0）はバス幅を示す。以下同じ）。

【0020】12はターゲットラン中の実行している命令のアドレスを出力するトレース部、13はブレーク中におけるMPUコア1とモニタメモリのアクセスインターフェイスを行なうシリアルモニタアクセス部、14はチップ内ICEリソースの初期設定、特定ターゲットメモリのデータ変更及び特定ターゲットメモリのモニタ機能の制御を行なうノンブレークデバッグ部で、ICE側からターゲットランを止めることなく行なうことができるようになっている。そして、これらトレース部12、シリアルモニタアクセス部13及びノンブレークデバッグ部14はMPUコア1と接続されている。15は、デバッグユニット20のインターフェイスセクタで、モードで決められた機能ブロック12～14を選択できるようになっている。このセクタ15にはセレクト信号として、DBGMODE（1:0）信号が入力される。

【0021】21は外部インターフェイスピン11を介してデバッグユニット20と接続されるセクタで、モードで決められたICEリソースを選択するものである。該セクタ21には、セレクト信号としてDBGMODE（1:0）信号が入力される。セクタ15とセクタ21間でやりとりされる信号としては、DBG（n:0）、DBGCLK（クロック信号）、DBGS、DBGMODE（1:0）がある。

【0022】デバッグユニット20は、モード信号DBGMODE（1:0）により、トレース、シリアルモニタアクセス、ノンブレークデバッグの3つの機能のいずれが外部インターフェイスピン11と接続されているかを認識できるようになっている。また、チップ外部においても、セクタ21は、DBGMODE（1:0）信号により現行モードに該当するトレースメモリ22、モニタメモリ23、ノンブレークデバッグコントローラ24のいずれかのブロックに外部インターフェイスピン1

(4)

特開平8-161191

5

5

1の信号ピンを接続する。そして、トレース部12の信号は、トレースメモリ22に入り、モニタメモリ23の出力はシリアルモニタアクセス部13を介してMPUコア1に入り、ノンブレイクデバッグコントローラ24の出力はノンブレイクデバッグ部14を介してMPUコア1に入る。このように構成された回路の動作を説明すれば、以下のとおりである。

【0023】本発明は、ユーザのターゲット装置内にある組み込みチップ10内にICE機能の一部を行なうデバッグユニット20を搭載した点に特徴がある。このデバッグユニット20は、ユーザの負担にならない程度のICE機能を具備するものとする。従来のICEでは、ICE本体から組み込みチップにアクセスする構成をとっていた。従って、その間にバッファゲート等の素子を用いる必要があり、素子の入出力間の遅延、配線長間に存在する漂遊容量等で動作クロックの速度が数10MHz程度に制約されていた。そこで、本発明では、ICEの機能をユーザの組み込みチップ10内に搭載すること

により、バッファゲート等を不要にし、この結果、使用できる動作クロックを100MHz程度まで延ばすことができるようにしたものである。以下、図1の回路の動作機能について説明する。

【0024】図1の外部インターフェイスピン11は、表1のDBGMODE(1:0)の内容により各機能がセレクトされる。つまり、DBGMODE=00の時トレースPCモード、DBGMODE=01の時NBD(ノンブレイクデバッグ)モード、DBGMODE=10の時モニタアクセスモード、DBGMODE=11の時トランスステートモードである。なお、トレースPCモード、NBDモードはターゲットモード、モニタアクセスモード、トランスステートモードはモニタモードである。NBDモードは、いずれでもアクセス可能である。

【0025】

【表1】

(5)

特開平8-161191

7

8

シグナル(信号)	方向	内容
DBGMODE (1:0)	出力 入力	00 --- ターゲットラン, IDB機能はPCTレース。 01(MS3)---ターゲットラン, IDB機能はNBDモード。 01(except MS3) --- MPUコアはホールド, IDB機能はNBDモード。 10 --- モニタプログラムラン, TMEアクセス。 IDB機能はモニタシリアルアクセスインターフェイス。
DBG(n:0)	出力 入力 出力 入力 出力	DBGMODE=00 PCHレースバス PCHA(n:0) DBGMODE=01 NBDバス NBDDO(n/2:0)出力バス NBDDI(n/2:0)入力バス シリアルモニタアクセスバス DBGMODE=10 SDO(n/2:0)出力バス SDI(n/2:0)入力バス
DBGCLK	出力 入力 入力	DBGMODE=00 この信号はPCTレース出力データの同期ク ロックとして用いられる。 PCHCLK DBGMODE=01 この信号はNBDの入出力データの同期ク ロックとして用いられる。 NBDCLK DBGMODE=10 この信号はシリアルモニタアクセスの入出力デ ータの同期クロックとして用いられる。 SDCLK
DBGCS	出力 入力 出力	DBGMODE=00 この信号の有効期間はPCTレースの出力ア ドレスシーケンシャルであることを示す, この信号 はチップからの出力である。 PCHSEQ DBGMODE=01 この信号の有効期間は入力データがNBD 機能のコマンドであることを示す, この信号は ICE側から供給される。 NBD SYNC DBGMODE=10 この信号の有効期間は出力データがステ ートであることを示す。 SD SYNC

【0026】DBGMODE(1:0)信号の遷移につ  
いて説明する。

DBGMODE(0):チップ入力信号。MPUコア1  
に対してNBD(ノンブレイクデバッグ)MODEの要  
求に使用する。1で要求中及びNBD動作中を示す。  
DBGMODE(1):チップ出力信号。1はブレイク  
中であることを示す(シリアルモニタアクセスモ  
ード)。0はターゲットラン中であることを示す。この

時、MPUコア1はターゲットメモリアクセス中、デバ  
ッグユニット20はPCTレースかNBDモード。

【0027】表2はDBGMODE(1:0)とデバッ  
グユニット(IDB)機能及び外部インターフェイスピ  
ン11の定義を示すものである。

【0028】

【表2】

(6)

特開平8-161191

9

10

外部インターフェイスピン	ターゲットモード		モニタモード	
	トレースPCモード	NBDモード	モニタアクセスモード	トランススレートモード
DBG (15:0)	PCHA (15:0) (OUT)	NBD00 (7:0) (OUT) NBD01 (7:0) (IN)	SDO (7:0) (OUT) SDI (7:0) (IN)	
DBGCLK	PCHCLK (OUT)	NBDCLK (IN)	SDCLK (IN)	
DBGCS	PCHSEQ (OUT)	NBDSYNC (IN)	SDSYNC (OUT)	
DBGMODE (1:0)	(MODE 00)	(MODE 01)	(MODE 10)	(MODE 11)
DBGREQ	DBGREQはBAE(Break After Execution)が信号入力の要求を意味する		DBGREQは内部スレークメモリに書き込まれる情報を意味する	

## 【0029】(1) PCトレース機能

PCトレース機能は、ターゲットラン中 (DBGMODE=00) に、トレース部12からMPUコア1の実行中の命令のアドレスを時分割してセクタ15を介して外部インターフェイスピン11に出力する。チップ外部では、外部インターフェイスピン11の信号は、セクタ21によりトレースメモリ22に接続され、PCHクロック、PCHSEQの制御の下にトレースメモリ22にサンプリングされる。

【0030】PCトレースの出力内容は、アドレス上位から時分割で出力する。以下に出力例を説明する。

① MPUコア1のアドレス幅≤DBG (n:0) の信号線数の場合

MPUのバスサイクルと同期して全アドレスを同時に出力する。

【0031】② MPUコア1のアドレス幅>DBG (n:0) の信号線数の場合

プログラムの分岐等でMPUコア1のアドレスがシーケンシャルでない時は、上位アドレスを出力し、シーケンシャルの場合は下位アドレスを出力する。図2、図3はトレースPCモードの出力タイミングを示す図である。図2はMPUコア1のアドレス幅が32ビット、DBG (15:0) の場合を、図3はMPUコア1のアドレス幅が16ビット、DBG (7:0) の場合をそれぞれ示している。

【0032】図2において、A (31:0) はMPUコア1の出力アドレスを、PCH (15:0) はIDBより出力される内容を、SUB (31:0) はトレースメモリ22に書き込まれる内容を、N-SEQはMPUコア1の出力するアドレスがノンシーケンシャル (プログラム分岐がある場合等) の場合を、SEQはMPUの出力するアドレスがシーケンシャルの場合をそれぞれ示している。nOPCは“0”レベルでMPUコア1がプログラムをリードする信号をそれぞれ示している。図3において、A (15:0) はMPUコア1の出力アドレスを、PCH (7:0) はデバッグユニット20より出力される内容を、SUB (15:0) はトレースメモリ2

2に書き込まれる内容を、N-SEQはMPUコア1の出力するアドレスがノンシーケンシャルの場合を、SEQはMPUコア1の出力するアドレスがシーケンシャルの場合をそれぞれ示している。図3の場合には、アドレスの全てがメモリに記憶される。

【0033】③ DBG (n:0) の信号線数がMPUコア1のアドレス出力を行なうのに必要な数に定義できない場合

この場合には、MPUコア1のプログラム分岐が発生したアドレスのみ出力する。分岐アドレス出力中に次の分岐アドレスが発生した場合、PCHSEQ信号をネガート (非活性化) して、新しい分岐アドレス出力を行なうことでチップ外部で識別できるようにする。図4、図5はこの時のトレースPCモードの動作タイミングを示す図である。図4は、MPUコア1のアドレス幅が16ビット、DBG (3:0) の場合を、図5はMPUコア1のアドレス幅が16ビット、DBG (3:0) の場合をそれぞれ示している。図4の場合には、図3の場合と異なり、分岐によりアドレスがノンシーケンシャルになった場合、分岐アドレスのみメモリに記憶される。

【0034】(3) シリアルモニタアクセス機能  
シリアルモニタアクセス機能は、ターゲットMPUがブレーク中 (DBGMODE (1:0) = 10の時) に、オフチップのモニタメモリのプログラムをDBG (n:0) 等の信号線を介してアクセスするために使用される。アクセスは、ステート、アドレス、データの順で時分割で入出力される。アドレス、データは上位ビットから転送する。ステートの内容は、リード、ライト、プログラムフェッチ、有効バイトである。有効バイトとは、32ビットデータバス (D31~D0) の場合で、バイトアクセスの時有効なバイト (D7~D0) をチップ外部に知らせるものである。

【0035】DBG (n:0) の本数により、シリアルモニタアクセス用のバスのSDI (n-1/2:0)、SDO (n-1/2:0) のビット幅が決まるので、ステート、アドレス、データは時分割して転送する必要がある。その分割個数の設定はノンブレークデバッグの機



11

能により設定する。

【0036】図6はシリアルモニタアクセスにおけるライトサイクルの動作タイミングを示す図である。図はDBG(15:0)の場合を示す。MPUコア1自身の1バスサイクルはSDCLK1~SDCLK13までである。BUSCLK2の立ち下がりでモニタメモリ23にデータライトされる。

【0037】シリアルモニタバスは、BUSCLK1でMPUコア1より既に出力されているアドレス、データ、ステートを時分割し、図中シリアルモニタアクセス部13→セクタ15→セクタ21→モニタメモリ23の経路でモニタメモリ23に出力する。モニタメモリアクセス時、DBG(n:0)はセクタ21を介して出力用バスSDO(n-1/2:0)と入力用バスSDI(n-1/2:0)に2等分されている。モニタメモリ23へのライトデータ、ステート、アドレスは、SDO(n-1/2:0)のバス幅に分割されてセクタ21のSDO(n-1/2:0)より出力される。

【0038】図6において、ライトデータがSDCLK12の時点でチップ外部において全ビット揃うので、SDCLK13の立ち下がり、つまりBUSCLKの立ち下がり、つまりモニタメモリ23にライト(書き込み)される。

【0039】図7はシリアルモニタアクセスにおけるリードサイクルの動作タイミングを示す図である。図はDBG(15:0)の場合を示す。リードサイクルにおいては、ステート、アドレスの出力はライトと同様に行なう。ステートの中のリード、ライトビットの転送によりICEはチップ外部でリードサイクルと認識する。モニタメモリ23側は、SDCLK6までに出力されたアドレスに該当するデータをSDCLK7までセットアップする。シリアルモニタアクセス部13は、チップ外部のD31~D0を、SDCLK8からSDI(n-1/2:0)を介して時分割で取り込む。そしてSDCLK12でチップ内部で全ビット(D31~D0)揃うと、MPUコア1はSDCLK13の立ち下がり、つまりBUSCLK2の立ち下がり、つまりD31~D0をリードする。

【0040】(3) ノンブレイクデバッグ(NBD) ノンブレイクデバッグ(NBD)は、オンチップデバッグリソースをノンブレイクデバッグ部14→セクタ15→セクタ21→ノンブレイクデバッグコントローラ24の経路でターゲットラン中のMPUコア1をブレイクすることなく、全ステートでチップ外部からアクセスできるインターフェイスである。NBDのオンチップリソースは、MPUコア1のメモリマップから独立したメモリを持っている。NBDには以下に示す4つの機能がある。

【0041】① 初期設定機能：オンチップデバッグリセットの設定

(7)

特開平8-161191

12

② RAMモニタ機能：特定アドレスの最新アクセスデータのリードアウト

③ ダイナミックチューニング機能：特定アドレスのデータ変更

④ 予備：今後のMPU、アプリケーションの拡張用

(NBDのアクセスフロー) 図8はNBDのメモリマップを示す図である。NBDマップの初期設定領域に初期設定を行ない、RAMモニタ領域にRAMモニタの設定を行ない、ダイナミックチューニング領域にダイナミックチューナの設定を行なう。このように構成されたメモリマップのNBDリソースのアクセスを図9のブロック図と図10のアクセスフローで説明する。図9において、10は組み込みチップ(図1参照)、1はMPUコア、14はノンブレイクデバッグ部である。30はNBDコントロールブロックで、シリ/パラ変換器31、レジスタ群32及びデコーダ33より構成されている。レジスタ群32は、P0レジスタ、P1レジスタ及びP2レジスタより構成される。40はICEコントロールユニットで、内部にICEのCPU41を含んでいる。

【0042】図8において、E00番地のラッチアドレスA(31:24)にデータ"AAH"(Hは16進を示す)をライトする場合、以下のように行なう。

① P0レジスタにRAMモニタ機能へのライトを意味する"8EH"をライトする。

【0043】② P1レジスタにRAMモニタメモリマップ中のアドレスA(31:24)について変更するという"00H"をライトする。

③ P2レジスタにRAMモニタメモリマップ中のアドレスA(31:24)の中身を"AAH"に変更するために、"AAH"をライトする。

【0044】リードの場合、P0レジスタに"0EH"をライトし、P2レジスタをリードすることによりRAMモニタメモリマップ中のA(31:24)の内容がリードできる。

【0045】本発明によれば、以下のような効果が得られる。

① 外部アクセスインターフェイスのない組み込みチップ(シングルチップ)においても、デバッグ用のヒストリトレースを可能にしたので、MPUコアのプログラム実行、追跡等のデバッグができる。

【0046】② ノンブレイクデバッグ機能を設けたことにより、MPUコアのターゲットラン動作をブレイクすることなく、チップ内のデバッグリソースにアクセスできるようになる。これにより、MPUコアに影響を与えずにリアルタイムにデバッグの機能が使用できるようになる。

【0047】③ モニタシリアルアクセスインターフェイスを設けたので、ブレイク中はICE側のベースで制御できるようになる。また、外部バスのないシングルチップにおいても本機能によりモニタプログラムの実行が

(8)

特開平8-161191

13

14

可能になる。

【0048】④ オンチップブ레이크メモリを設けたので、高速MPU又はシングルチップ時でも確実にブ레이크できるようになる。

⑤ 上記①～④の機能を実チップ上に定義しても、ICE未使用時はIDBをディスエーブルにできるので、そのままターゲットオンチップMPUの初期流動期として使用できる。また、シングルチップ等で外部アクセスインターフェイスのない場合でも、評価用のエバチップやポートエミュレータ等を別途製作する必要がないため、ユーザ及びチップメーカーにとってコスト、開発日程ともメリットが出る。

【0049】

【発明の効果】以上、詳細に説明したように、本発明によれば、ターゲット装置内のMPUを含む組み込みチップ（エンベデッドチップ）内に、ICEの機能の一部を実行するデバッグユニットを設けた。これにより、従来ターゲット装置とICE間でデータのやりとりを行なう際に用いていたバッファ等が不要となり、その分取り換えるデータ速度を速くすることができる。例えば、従来バスサイクル30MHz程度までしか扱えなかったものが、100MHz程度まで扱えるようになる。

【0050】この場合において、前記デバッグユニットにチップ外部と接続するための外部インターフェイスピンを具備し、該外部インターフェイスピンはMPU及びそのアプリケーションの用途によりピン数の変更を可能にすることにより、MPU及びそのアプリケーションの用途により柔軟に対応することができ都合がよい。

【0051】このように、本発明によれば、高速のMPUがターゲットである場合でも十分なデバッグを行なうことができるインサーキットエミュレータを提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す構成ブロック図である。

【図2】トレースPCモードの出力タイミングを示す図

である。

【図3】トレースPCモードの出力タイミングを示す図である。

【図4】トレースPCモードの出力タイミングを示す図である。

【図5】トレースPCモードの出力タイミングを示す図である。

【図6】シリアルモニタアクセスにおけるライトサイクルの動作タイミングを示す図である。

【図7】シリアルモニタアクセスにおけるリードサイクルの動作タイミングを示す図である。

【図8】NBDのメモリマップを示す図である。

【図9】NBDアクセスフローの説明ブロック図である。

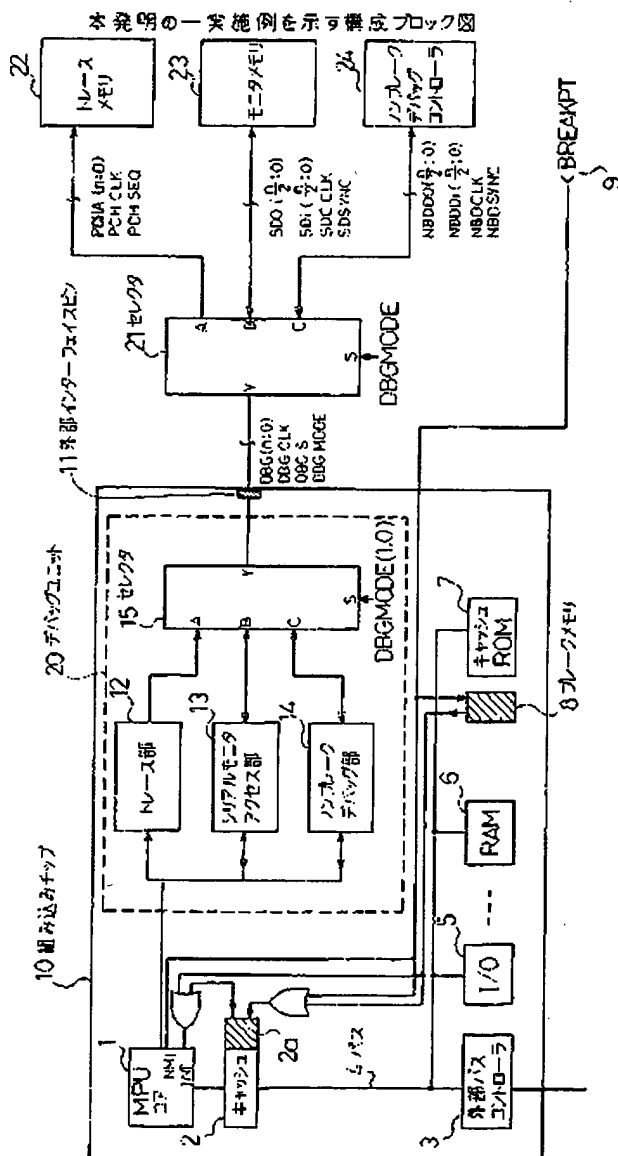
【図10】NBDアクセスフローを示す図である。

【符号の説明】

- 1 MPUコア
- 2 キャッシュ
- 2a ブ레이크メモリ
- 3 外部バスコントローラ
- 4 バス
- 5 入出力装置
- 6 RAM
- 7 キャッシュROM
- 8 ブ레이크メモリ
- 9 ブ레이크ポイント端子
- 10 組み込みチップ
- 11 外部インターフェイスピン
- 12 トレース部
- 13 シリアルモニタアクセス部
- 14 ノンブ레이크デバッグ部
- 15 セレクタ
- 21 セレクタ
- 22 トレースメモリ
- 23 モニタメモリ
- 24 ノンブ레이크デバッグコントローラ

特開平8-161191

【圖 1】



【圖3】

トレースPCモードの出力タイミングを示す図

PCHSEQ				
3210	3214	3216	321C	5070
				5074
PCH ( ? : 0 )				
32	10	14	18	56
				74
SUB (15:0)				
invalid	320	321C	321B	invalid
				5230
nOPC (F/FETCH)				

【図4】

トレースPCモードの出力タイミング表示図

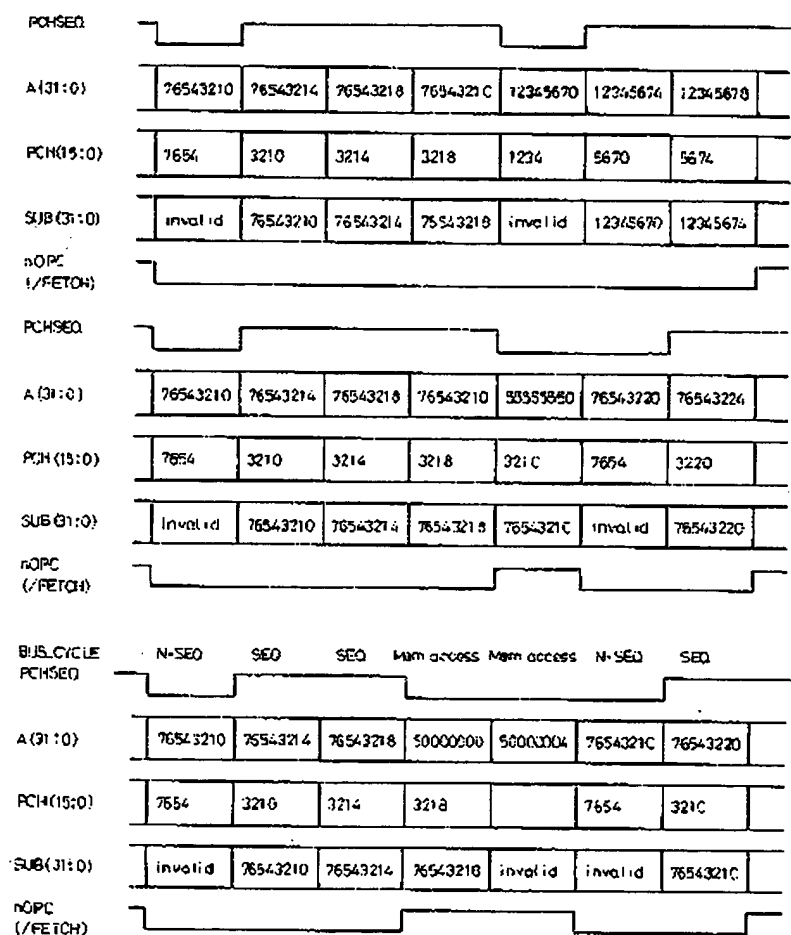
PCHESEA									
A(15:0)									
3200	3214	3218	323 C	3253	5670	5674			
PCH(3:0)									
3	2	1	0		5	6			
SUB(15:0)									
msb10	msb11	msb12	msb13	msb14	msb15	msb16			
rOPC (/FECH)									

(10)

特開平8-161191

【図2】

トレースPCモードの出カタイミングを示す図

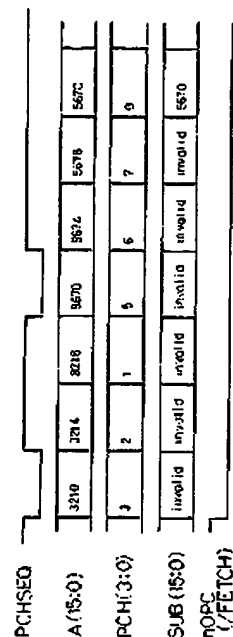


(11)

特開平8-161191

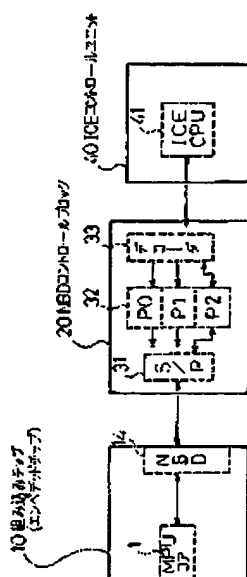
【図5】

トレースPCモードの出力タイミングを示す図



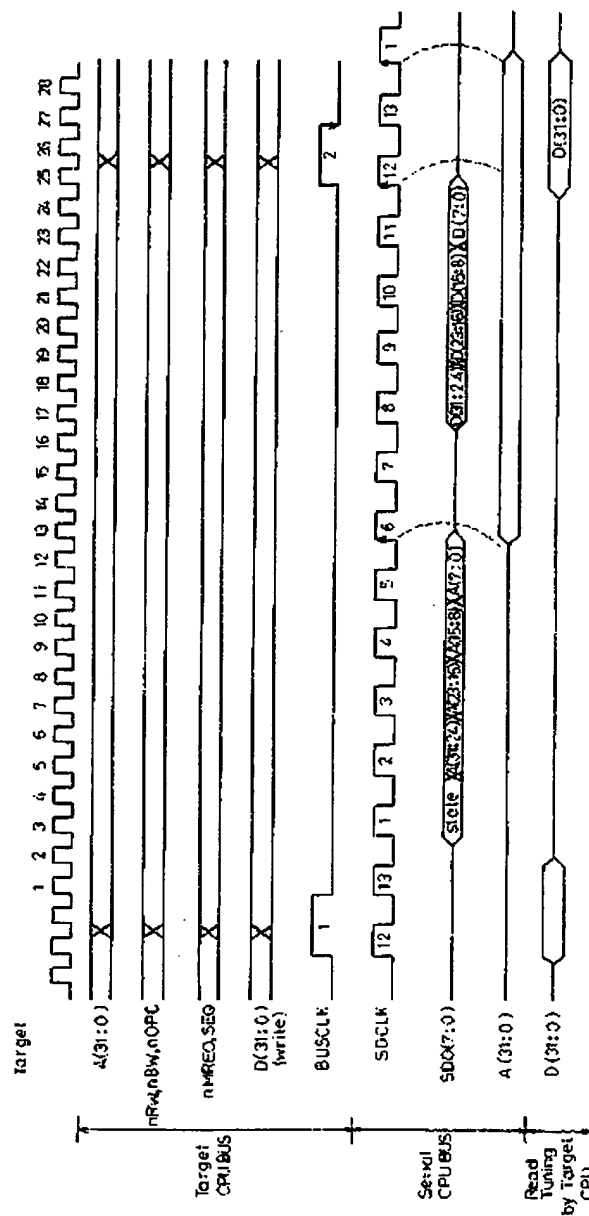
【図9】

NBDアクセスフローの説明ブロック図



【図6】

シリアルモニタアクセスにおけるライトサイクルの動作タイミングを示す図

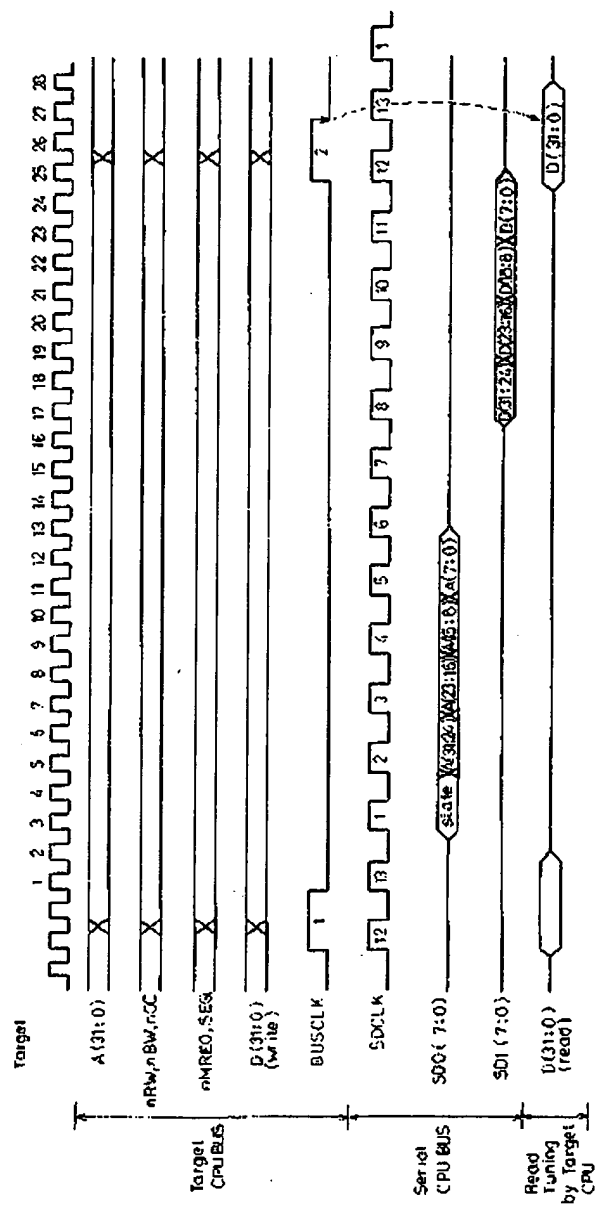


(12)

特開平8-161191

【図7】

シリアルモニタアクセスにおけるリードサイクルの  
動作タイミングを示す図

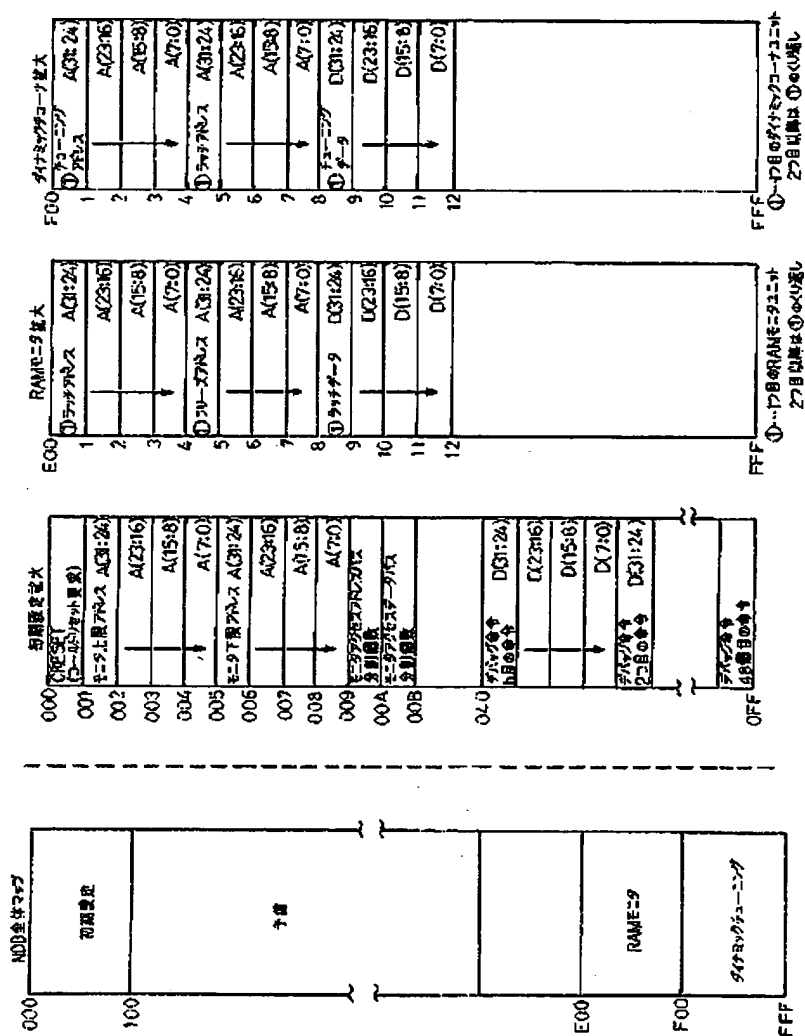


(13)

特開平8-161191

【図8】

NBDのメモリマップを示す図

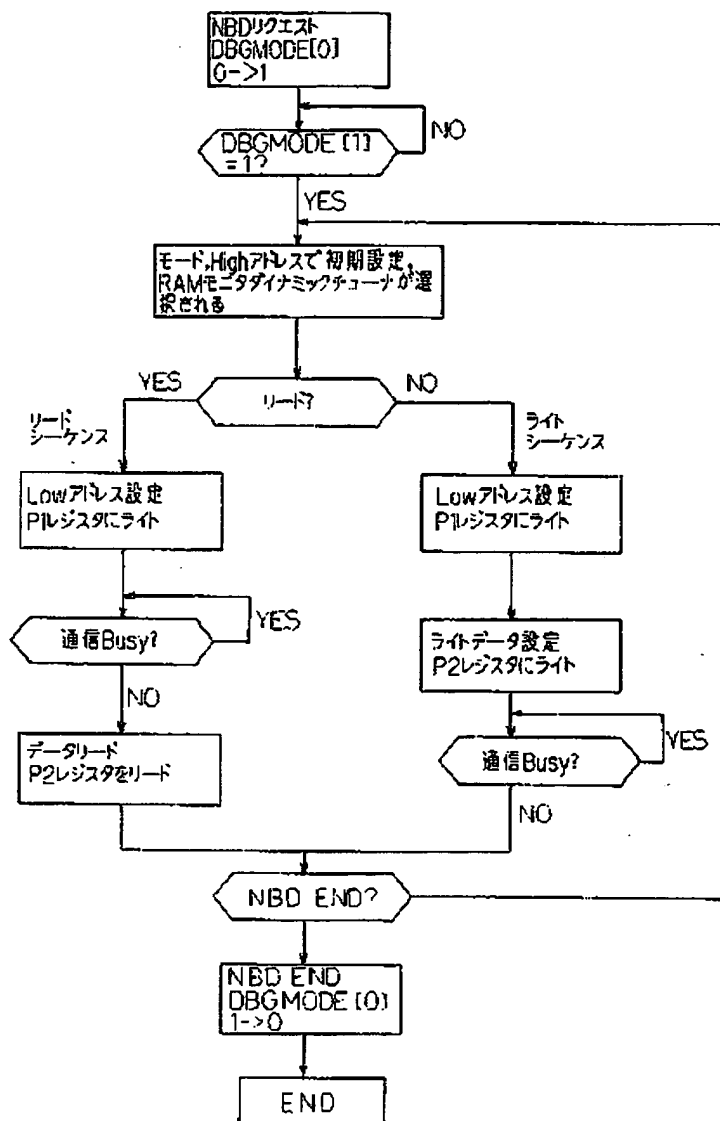


(14)

特開平8-161191

【図10】

NBDアクセスフローを示す図





? e pn=jp 8161191

Ref	Items	Index-term
E1	1	PN=JP 8161189
E2	1	PN=JP 8161190
E3	1	*PN=JP 8161191
E4	1	PN=JP 8161192
E5	1	PN=JP 8161193
E6	1	PN=JP 8161194
E7	1	PN=JP 8161195
E8	1	PN=JP 8161196
E9	1	PN=JP 8161197
E10	1	PN=JP 8161198
E11	1	PN=JP 8161199
E12	1	PN=JP 8161200

Enter P or PAGE for more

? s e3

S3 1 PN='JP 8161191'

? t s3/3,ab/all

3/3,AB/1

DIALOG(R)File 351:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

010849447

WPI Acc No: 1996-346400/ 199635

XRPX Acc No: N96-291692

**In-circuit emulator for program debugging of microprocessor unit - has non-break debugging unit which performs on-chip debugging of all state without interrupting operation of microprocessor and memory access interface function of built-in chip**

Patent Assignee: YOKOGAWA DIGITAL COMPUTER KK (YOKO-N)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8161191	A	19960621	JP 94303705	A	19941207	199635 B

Priority Applications (No Type Date): JP 94303705 A 19941207

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 8161191	A		14	G06F-011/22	

Abstract (Basic): JP 8161191 A

The appts. has non-break debugging unit which performs a trace function for a state analysis.

A real time on-chip debugging of all state is also performed without interrupting the operation of the microprocessor (1) and memory access interface function of a built-in chip (10).

ADVANTAGE - Increases speed of exchanging data. Provides emulator which performs sufficient debugging of microprocessor unit. Provides flexible in-circuit emulator.

Dwg.1/10

1-1/1    Next page    From 1 - 1    Count

Display format    ----- Select the type of output. -----


Display checked documents

Check All

Uncheck All

☐ \*\* Result [P ] \*\* Format(P807) 2004.12.10    1/    1

C

Application no/date: 1994-303705[1994/12/ 7]  
Date of request for examination: [ ]  
Accelerated examination ( )  
Public disclosure no/date: 1996-161191  Translate [1996/ 6/21]  
Examined publication no/date (old law): [ ]  
Registration no/date: [ ]  
Examined publication date (present law): [ ]  
PCT application no:  
PCT publication no/date: [ ]  
Applicant: YOKOGAWA DIGITAL COMPUTER KK  
Inventor: YAMADA TOSHIYUKI, SATO TAKESHI  
IPC: G06F 11/22 , 340 G06F 11/28 G06F 11/28 , 310  
FI: G06F 11/28 L G06F 11/28 , 310A G06F 11/22 , 340A  
F-Term: 5B042AA12, BB03, BB05, FB07, FD01, 5B048AA11, BB02, CC17, DD08, DD10, 5B042HH03, HH05, HH30, MA07, MC01, GA07, GA12, GA13, GA14, GA15, GC02, GC03, GC04, GC05, GC08, GC11, G C12, HH01, HH25, HH50, LA04, LA05, LA18, MB02, MC03  
Expanded classification: 451  
Fixed keyword: R131  
Citation: [ , , , ] ( , , )  
Title of invention: IN-CIRCUIT EMULATOR  
Viability information of application: (extinction without examination)  
Priority country/date/number: ( ) [ ] ( )  
Domestic priority: [ ] ( )  
Original application number: ( )  
Original registration number: ( )  
Retroactive date: [ ]  
No. of claims ( 2)  
Classification of examiners decision/date: ( ) [ ]  
Final examinational transaction/date: ( )  
withdrawal by no request for examination) [2002/ 3/26]  
Examination intermediate record:  
(A63 1994/12/ 7, PATENT APPLICATION UTILITY MODEL REGISTRATION APPLICATION, 2  
1000: ) (A523 1994/12/15, WRITTEN AMENDMENT, : )  
(A961 1995/ 3/30, CORRECTION DATA BY EX OFFICIO (FORMALITY), : )  
(A961 1995/ 3/30, CORRECTION DATA BY EX OFFICIO (FORMALITY), : )  
(A300 2002/ 3/ 5, MAKING OF FILE WRAPPER EXTRACTION LIST OF UNREQUEST FOR EXA  
MINATION, : )

\*\*\* Trial no/date [ ] Kind of trial [ ] \*\*\*

Demandant: -  
Defendand: -  
Opponent: -

Classification of trial decision of opposition/date: ( ) [ ]  
Final disposition of trial or appeal/date: ( ) [ ]  
]

Trial and opposition intermediate record:

Registration intermediate record:

Amount of annuity payment:

Extinction of right/Lapse date of right: ( ) [ ]

Proprietor: -  
Status of register: ( )

Check All

Uncheck All

Display checked documents

Display format ----- Select the type of output. -----

1-1/1

Next page

From

1

-

1

Count

Back to list